



KOREAN PATENT ABSTRACTS(KR)

Document Code:B1

(11) Publication No.1020000251868

(44) Publication.Date. 20000114

(21) Application No.1019970004870

(22) Application Date. 19970218

(51) IPC Code:

H01L 21/50

H01L 21/60

H01L 23/28

(71) Applicant:

ANAM SEMICONDUCTOR., LTD.

(72) Inventor:

SIM, IL GWON

(30) Priority:

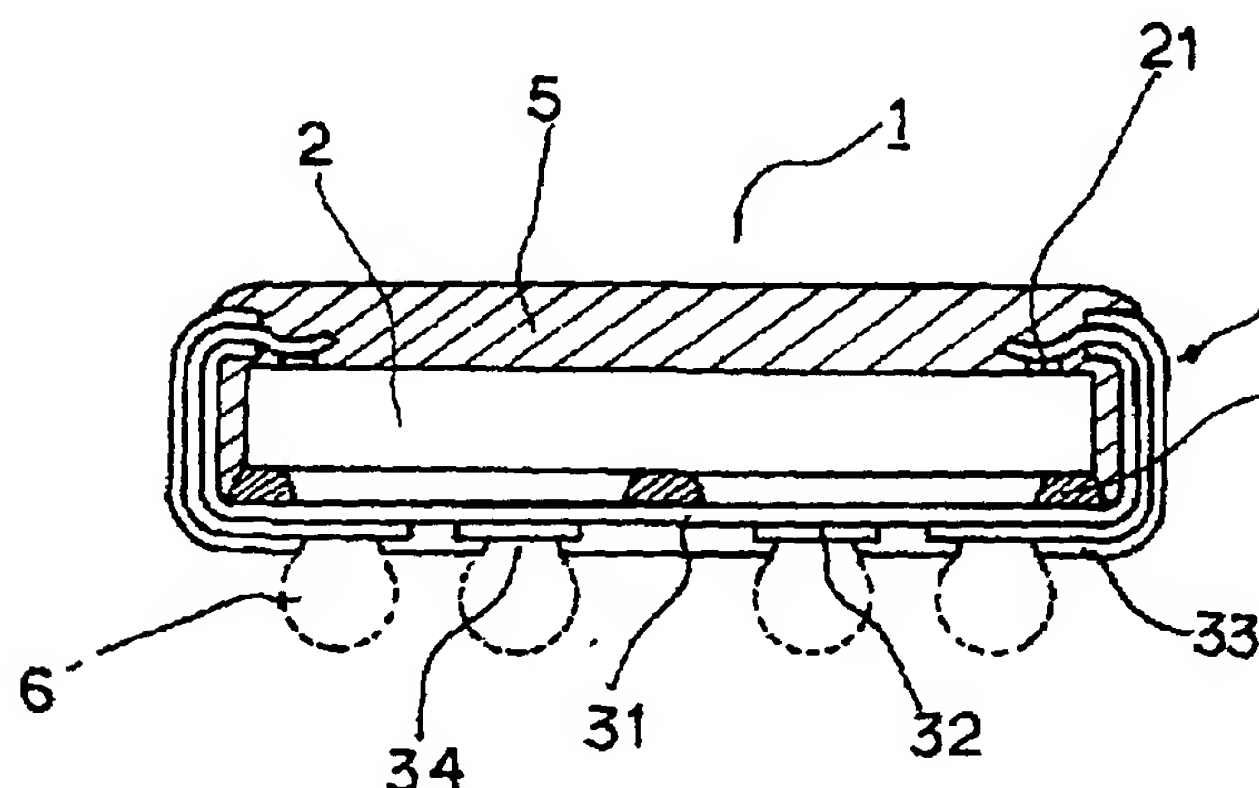
(54) Title of Invention

CHIP SCALE SEMICONDUCTOR PACKAGE USING FLEXIBLE CIRCUIT SUBSTRATE AND
MANUFACTURING METHOD THEREOF

Representative drawing

(57) Abstract:

PURPOSE: A chip scale semiconductor package using a flexible circuit substrate and a manufacturing method thereof are provided to allow a multiple pin configuration and a reduction in size of the package.



CONSTITUTION: The package(1) is manufactured by using the flexible circuit substrate(3), which has a resin film(31), a circuit pattern(32) formed on a lower surface of the resin film(31), conductive traces extended from the circuit pattern(32) and bent toward bond pads(21) on a semiconductor chip(2) for electrically direct connection, and an insulating cover coat(33) formed over the lower surface of the resin film(31) and the conductive traces. The semiconductor chip(2) is mounted to an upper surface of the resin film(31) through an adhesive(4) and molded in a resin encapsulant(5). In addition, solder balls(6) are mounted to ball pads(34) formed under the flexible circuit substrate(3).

COPYRIGHT 2001 KIPO

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl. 6

H01L 21 /50

H01L 21 /60

H01L 23 /28

(11) 등록번호

10-0251868

(24) 등록일자

2000년01월14일

(21) 출원번호 10-1997-0004870

(65) 공개번호

특 1998-0068343

(22) 출원일자 1997년02월18일

(43) 공개일자

1998년10월15일

(73) 특허권자 아남반도체주식회사 김규현

서울특별시 성동구 성수동 2가 280-8

(72) 발명자 심일권

서울특별시 노원구 월계1동 438번지 동신빌라라-101호

(74) 대리인 서만규

심사관 : 송원선

(54) 가요성 회로 기판을 이용한 칩 스케일 반도체 패키지 및 그 제조 방법

명세서

도면의 간단한 설명

제 1a, 1b 및 1c는 가요성 회로 기판을 이용한 본 발명의 칩 스케일 반도체 패키지의 제조 방법을 설명하는 단면도로서,

제 1a 도는 가요성 회로 기판상에 반도체 칩을 실장한 상태의 단면도

제 1b 도는 가요성 회로 기판을 절곡하여 반도체 칩의 본드 패드상에 도전성 트레이스를 직접 본딩하고, 단부를 커팅하는 과정을 나타내는 단면도

제 1c 도는 수지 봉지부를 형성시킨 완성된 상태의 본 발명의 칩 스케일 반도체 패키지의 단면도

제 2a 도는 가요성 회로 기판상에 형성된 도전성 트레이스(Trace)를 나타내는 일부 확대 평면도

제 2b, 2c 도는 제 2a 도의 a부 확대 평면도

제 3 도는 가요성 회로 기판을 이용한 종래의 반도체 패키지의 단면도

* 도면의 주요부분에 대한 부호의 설명

1 : 본 발명의 가요성 회로 기판을 이용한 칩 스케일 반도체 패키지

2 : 반도체 칩

21 : 본드 패드

3 : 가요성(可撓性) 회로 기판

31 : 가요성 수지 필름

32 : 회로 패턴

321 : 도전성 트레이스

322 : 확장부

323 : 노치

33 : 커버 코트(또는 솔더 마스크)

34 : 솔더볼 패드

35 : 트레이스 노출부

4 : 에폭시 접착층

5 : 수지 봉지부

6 : 솔더볼

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 가요성(可撓性) 회로 기판을 이용한 칩 스케일 반도체 패키지(Chip Scale Package : CSP) 및 그 제조 방법에 관한 것이며, 더욱 상세하게는, 가요성 수지 필름상에 회로 패턴부를 형성시킨 가요성 회로 기판을 절곡하여 반도체 칩상의 본드 패드에 도전성 트레이스를 직접 본딩하여 형성되는 칩 스케일의 볼 그리드 어레이(Ball Grid Array : BGA) 반도체 패키지 및 그 제조 방법에 관한 것이다.

볼 그리드 어레이 반도체 패키지는, 통상 PCB 기판의 상면에 하나 또는 그 이상의 반도체 칩이 장착되고 마더 보드(Mother Board)와 같은 도전성 재료에 대한 전기적 접속이 반도체 칩이 부착된 PCB 기판면의 대향면상에 위치하는 솔더볼의 어레이에 의해 이루어지는 구조의 반도체 패키지로서, 볼 그리드 어레이 반도체 패키지는 200핀 이상의 다핀 디바이스 또는 고집적화된 대규모 집적회로(VLSI), 마이크로 프로세서등의 용도로서 각광받고 있다.

종래의 가요성 회로 기판을 이용한 볼 그리드 어레이 반도체 패키지(1')는, 도 3에 도시한 바와 같이, 반도체 칩(2)이 수십 미크론 두께 범위의 가요성 회로 기판(3) 상면 중앙부에 에폭시 접착제(4)로 접착되어 실장되며, 반도체 칩(2)의 본드 패드(도시하지 않음)와 회로 기판(3)의 도전성 트레이스(32)는 본딩 와이어(7)에 의하여 전기적으로 접속되고, 수지 봉지부(5)가 반도체 칩(2)과 와이어(7)등을 외부 환경으로 부터 보호하기 위하여 몰딩 형성되며, 가요성 회로 기판(3) 저면의 외곽부에 형성되는 다수의 솔더볼 패드(34) 각각에는 입출력 단자로서 사용되는 솔더볼(6)이 용착되어 어레이를 구성한다.

그러나, 이러한 종래의 가요성 회로 기판을 이용한 볼 그리드 어레이 반도체 패키지(1')에 있어서는, 반도체 칩(2)상의 본드 패드와 입출력 단자로서 사용되는 솔더볼(6)을 와이어(7)로 본딩하여 전기적으로 접속시키기 위해서 솔더볼 패드(34)를 반도체 칩(2) 실장 영역의 하방 외곽부에 위치시키는 것이 불가피하므로, 반도체 패키지(1')의 면적이 커지게 되어 최근의 전자 기기 및 가전 제품의 소형화 경향에 따른 반도체 패키지의 경박단소화 추세에 배치되는 문제가 있는 동시에, 와이어 본딩 공정에 많은 시간 및 장비가 소요되고, 이에 따라 코스트로 상향하게 되는 문제가 있었다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명의 첫 번째 목적은, 가요성 회로 기판을 절곡하여 반도체 칩상의 본드 패드에 도전성 트레이스를 직접 본딩한 경박단소형의 칩스케일 반도체 패키지를 제공하는 것이다.

본 발명의 두 번째 목적은, 와이어 본딩 공정을 불필요하게 하므로써 공정 효율성을 높임과 아울러, 경박단소화를 가능케

할 수 있는, 상기한 첫번째 목적에 의한 칩스케일 반도체 패키지의 제조 방법을 제공하는 것이다.

본 발명의 첫 번째 목적에 따른 양태(樣態)에 의하면, 반도체 칩과; 상기한 반도체 칩이 에폭시 접착층을 통하여 실장되는 상기한 반도체 칩 보다 약간 큰 면적의 가요성 수지 필름과, 상기한 가요성 수지 필름의 저면 전체에 형성되는 회로 패턴과 이 회로 패턴의 네 측면으로 부터 외부로 연장된 다음, 상방으로 절곡되어 상기한 반도체 칩상의 본드 패드상에 전기적으로 직접 접속되는 도전성 트레이스 및, 상기한 가요성 수지 필름 및 도전성 트레이스의 저면상에 적층되는 절연성 커버 코트로 이루어지는 가요성(可撓性) 회로 기판과; 반도체 칩을 외부 환경으로부터 보호하기 위하여 몰딩되는 수지 봉지부(Encapsulant)와; 가요성 회로 기판 저면의 솔더볼 패드에 융착되어 입출력 단자로서 사용되는 다수의 솔더볼로 구성되는 가요성 회로 기판을 이용한 칩 스케일 반도체 패키지가 제공된다.

본 발명의 두 번째 목적에 따른 양태(樣態)에 의하면, 저면에 회로 패턴이 형성된 두께 20~150 미크론의 가요성(可撓性) 수지 필름과, 상기한 회로 패턴의 네 측면으로 부터 외부로 노출되게 연장되며 단부에 상기한 가요성 수지 필름이 적층되어 있는 도전성 트레이스 및, 상기한 도전성 트레이스의 저면에 형성되며 반도체 칩 실장 영역 하방에 솔더볼 패드가 형성되는 절연성 커버 코트로 이루어지는 가요성 회로 기판 중앙부에 에폭시 접착층을 게재하여 반도체 칩을 실장시키는 반도체 칩 실장 단계와; 상기한 가요성 회로 기판을 상향으로 절곡시켜 실장된 반도체 칩의 본드 패드상에 노출된 도전성 트레이스를 탭 본딩시키는 전기적 접속 단계와; 탭 본딩된 도전성 트레이스 외곽의 가요성 회로 기판을 절단시키는 가요성 회로 기판 단부 절단 단계와; 반도체 칩을 외부 환경으로부터 보호하기 위하여 상기한 탭 본딩된 가요성 회로 기판에 의하여 한정되는 영역을 몰딩 형성시키는 수지 봉지부(Encapsulant) 형성 단계 및; 상기한 가요성 회로 기판 저면의 솔더 패드에 입출력 단자로서 사용하기 위한 다수의 솔더볼을 융착시키는 솔더볼 형성 단계로 구성되는 가요성 회로 기판을 이용한 칩 스케일 반도체 패키지의 제조 방법이 제공된다.

발명의 구성 및 작용

이하, 본 발명을 첨부된 도면을 참조하여 더욱 상세히 설명하면 다음과 같다.

도 1a, 도 1b 및 도 1c 는 가요성 회로 기판(3)을 이용한 본 발명의 칩 스케일 반도체 패키지(1)의 제조 방법을 설명하는 단면도이다.

여기서, 도 1a 는 가요성 회로 기판(3)상의 반도체 칩(2) 실장 단계를 나타내는 단면도로서, 두께 20~150 미크론, 바람직하게는 30~80 미크론의 가요성(可撓性) 수지 필름(31) 저면에 회로 패턴(32)이 형성되며, 회로 패턴(32) 하방에는 다수의 솔더볼 패드(34)가 형성된다. 가요성 수지 필름(31)으로서는 폴리이미드가 바람직하다. 이러한 가요성 수지 필름(31)을 사용하는 것에 의해서, 반도체 패키지(1)의 경박화가 가능해지며, 열 방출 효율이 양호하게 된다. 이러한 가요성 회로 기판(3)은 단층으로 구성되며, 비아(Via) 홀을 갖지 않는다. 또한, 반도체 칩(2)의 실장시 사용되는 에폭시 수지는 반도체 칩(2) 저면 전체에 도포하거나, 또는 반도체 칩(2) 저면의 일부에만 도포(복수개의 돛트(Dot) 형상으로 도포하는 것을 포함)하여 에폭시 접착층(4)을 형성시키는 것에 의하여, 완성된 반도체 패키지(1)(도 1c 참조)를 머더 보드(Mother board)(도시하지 않음)에 실장하여 반도체 칩(2) 작동시, 반도체 패키지(1)의 반도체 칩(2)과 머더 보드 사이의 열 팽창 계수 차이에 의한 솔더 조인트(도시하지 않음)의 신뢰성 문제를 효과적으로 개선할 수가 있다. 에폭시 수지를 반도체 칩(2) 저면에 복수개의 돛트 형상으로 도포하는 경우, 솔더볼 패드(34) 형성 영역의 상방에 도포되지 않도록 상기한 영역으로 부터 벗어난 위치에 도포하는 것이 열 방출 효율을 극대화시킬 수 있으므로 보다 바람직하다.

도전성 트레이스(321)는 상기한 회로 패턴(32)의 네측면으로 부터 외부로 노출되게 연장되며 단부에는 가요성 수지 필름(31)이 적층되어 있다. 따라서, 반도체 칩(2)이 실장되며 회로 패턴(32)이 형성되어 있는 중앙부와 단부를 제외한 영역에는 도전성 트레이스(321)가 노출되어 있으며, 이에 의하여 상향 절곡시 유연성을 부여하게 된다. 외부로 노출된 도전성 트레이스(321)의 상면에는 니켈층 및 금층이 순서대로 적층된다.

상기한 도전성 트레이스(321)의 저면에는 절연성 커버 코트(33)가 형성되며 반도체 칩(2) 실장 영역 하방의 솔더볼 패드(34) 형성 부위에는 솔더볼(6)이 융착되는 회로 패턴(32)이 노출되어 있다.

반도체 칩(2)은 에폭시 접착층(4)을 게재하여 상기한 회로 패턴(32)이 형성된 중앙부의 가요성 수지 필름(31)상에 실장된다.

도 1b 는 가요성 회로 기판(3)을 절곡하여 반도체 칩(2)의 본드 패드(21)상에 도전성 트레이스(321)를 직접 탭(Tap) 본딩하는 전기적 접속 단계 및, 가요성 회로 기판(3)의 단부를 커팅하는 단부 절단 단계를 나타내는 단면도로서, 가요성 회로 기판(3)을 상향으로 절곡시켜 실장된 반도체 칩(2)의 본드 패드(21)상에 노출된 도전성 트레이스(321)를 탭 본딩시켜 전기적으로 접속시킨 다음, 탭 본딩된 도전성 트레이스(321) 사이의 핏치는 반도체 칩(2)의 본드 패드(21)의 핏치와 일치되도록 패턴 설계될 필요가 있다.

도 1c는 수지 봉지부(5)를 형성시킨 완성된 상태의 본 발명의 칩 스케일 반도체 패키지(1)의 단면도로서, 수지 봉지부(5)는 탭 본딩된 가요성 회로 기판(3)에 의하여 한정되는 영역을 몰딩 형성시켜 이루어지며, 선택적으로는, 가요성 회로 기판(3)의 외부에 에워싸는 영역을 몰딩 형성시킬 수도 있다.

도 2a 는 가요성 회로 기판(3)의 일부를 나타낸 일부 확대 평면도로서, 도전성 트레이스(321)와 이에 연결된 솔더볼 패드(34)로 이루어지는 회로 패턴(32)으로 부터 도전성 트레이스(321)가 외부로 직선상으로 연장되며, 회로 패턴 형성부(32)와 도전성 트레이스(321)의 단부에는 가요성 수지 필름(31)이 적층되어 있다.

도 2b, 도 2c 는 외부로 노출된 도전성 트레이스(321)를 나타내는 도 2a의 a부 확대 평면도로서, 반도체 칩의 본드 패드와 탭 본딩되는 부분이 용이한 본딩을 위해서 정방형 또는 원형의 확장부(322)로 형성됨을 나타내며, 이러한 확장부의 형상은 이에 한정되는 것은 아니며, 필요에 따라 장방형 또는 타원형으로 형성시킬 수도 있다. 이러한 확장부(322)의 외곽부에는 탭 본딩후 단부를 절단하기 용이하게 노치(323)가 형성되어 있다.

발명의 효과

위에서 상세히 설명한 바와 같이, 본 발명의 칩 스케일 반도체 패키지는 솔더볼 패드를 반도체 칩 실장 영역에 대응하는 하방 영역내에 위치시키는 것이 가능하므로 반도체 패키지의 면적을 칩 스케일화할 수 있어서 반도체 패키지의 경박단소화를 이룰 수 있을 뿐만 아니라, 본 발명의 칩 스케일 반도체 패키지의 제조 방법은 와이어 본딩 공정이 불필요하여 그에 따른 다대(多大)한 시간 및 장비가 소요되지 아니하므로, 공정 효율성을 제고할 수 있는 동시에, 코스트 절감을 이룰 수 있는 신규 유용한 발명이다.

(57) 청구의 범위

청구항 1. 반도체 칩;

상기한 반도체 칩이 에폭시 접착층을 통하여 실장되는 상기한 반도체 칩 보다 큰 면적의 가요성 수지 필름과, 상기한 가요성 수지 필름의 저면 전체에 형성되는 회로 패턴과 이 회로 패턴의 네 측면으로부터 외부로 연장된 다음, 상방으로 절곡되어 상기한 반도체 칩상의 본드 패드상에 전기적으로 직접 접속되는 도전성 트레이스 및, 상기한 가요성 수지 필름 및 도전성 트레이스의 저면상에 적층되는 절연성 커버 코트로 이루어지는 가요성(可撓性)회로 기판;

반도체 칩을 외부 환경으로부터 보호하기 위하여 몰딩되는 수지 봉지부(Encapsulant) 및;

가요성 회로 기판 저면의 솔더볼 패드에 융착되어 입출력 단자로서 사용되는 다수의 솔더볼로 구성되는

가요성 회로 기판을 이용한 칩 스케일(Chip Scale) 반도체 패키지.

청구항 2. 제 1 항에 있어서, 가요성 수지 필름이 폴리이미드(Polyimide)로 형성되는 칩 스케일 반도체 패키지.

청구항 3. 제 1 항 또는 제 2 항에 있어서, 가요성 수지 필름의 두께가 30~80미크론인 칩 스케일 반도체 패키지.

청구항 4. 제 1 항 또는 제 2 항에 있어서, 외부로 노출된 도전성 트레이스의 상면에 니켈층 및 금층이 순서대로 적층되는 칩 스케일 반도체 패키지.

청구항 5. 제 1 항에 있어서, 가요성 회로 기판이 단층으로 구성되며, 비아(Via) 홀을 갖지 않는 칩 스케일 반도체 패키지.

청구항 6. 제 1 항에 있어서, 반도체 칩 실장용 에폭시 접착층이 에폭시 수지를 반도체 칩 저면에 복수개의 돛트 형상으로 도포시켜 형성되며, 솔더볼 패드 형성 영역으로 부터 벗어난 위치에 도포하여 열 방출 효율을 높인 칩 스케일 반도체 패키지.

청구항 7. 저면에 회로 패턴이 형성된 두께 20~150 미크론의 가요성(可撓性) 수지 필름과, 상기한 회로 패턴의 네 측면으로 부터 외부로 노출되게 연장되며 단부에 상기한 가요성 수지 필름이 적층되어 있는 도전성 트레이스 및, 상기한 도전성 트레이스의 저면에 형성되며 반도체 칩 실장 영역 하방에 솔더볼 패드가 형성되는 절연성 커버 코트로 이루어지는 가요성 회로 기판 중앙부에 에폭시 접착층을 게재하여 반도체 칩을 실장시키는 반도체 칩 실장 단계;

상기한 가요성 회로 기판을 상향으로 절곡시켜 실장된 반도체 칩의 본드 패드상에 노출된 도전성 트레이스를 탭 본딩시키는 전기적 접속 단계;

탭 본딩된 도전성 트레이스 외곽의 가요성 회로 기판을 절단시키는 가요성 회로 기판 단부 절단 단계;

반도체 칩을 외부 환경으로부터 보호하기 위하여 상기한 탭 본딩된 가요성 회로 기판에 의하여 한정되는 영역을 몰딩 형성시키는 수지 봉지부(Encapsulant) 형성 단계 및;

상기한 가요성 회로 기판 저면의 솔더 패드에 입출력 단자로서 사용하기 위한 다수의 솔더볼을 용착시키는 솔더볼 형성 단계로 구성되는,

가요성 회로 기판을 이용한 칩 스케일 반도체 패키지의 제조 방법.

청구항 8. 제 7 항에 있어서, 가요성 수지 필름이 폴리이미드(Polyimide)로 형성되는 칩 스케일 반도체 패키지의 제조 방법.

청구항 9. 제 7 항에 있어서, 외부로 노출된 도전성 트레이스의 상면에 니켈층 및 금층을 순서대로 적층시키는 칩 스케일 반도체 패키지의 제조 방법.

청구항 10. 제 7 항에 있어서, 가요성 수지 필름의 두께가 30~80 미크론의 범위인 칩 스케일 반도체 패키지의 제조 방법.

청구항 11. 제 7 항에 있어서, 탭 본딩되는 도전성 트레이스 부분이 정방형, 장방형, 또는 원형의 확장부로 형성되는 칩 스케일 반도체 패키지의 제조 방법.

청구항 12. 제 11 항에 있어서, 가요성 회로 기판의 탭 본딩 부분 및 절단 부위에 가요성 수지 필름이 적층되지 않으며, 노출된 도전성 트레이스의 절단 부위에 노치가 형성되는 칩 스케일 반도체 패키지의 제조 방법.

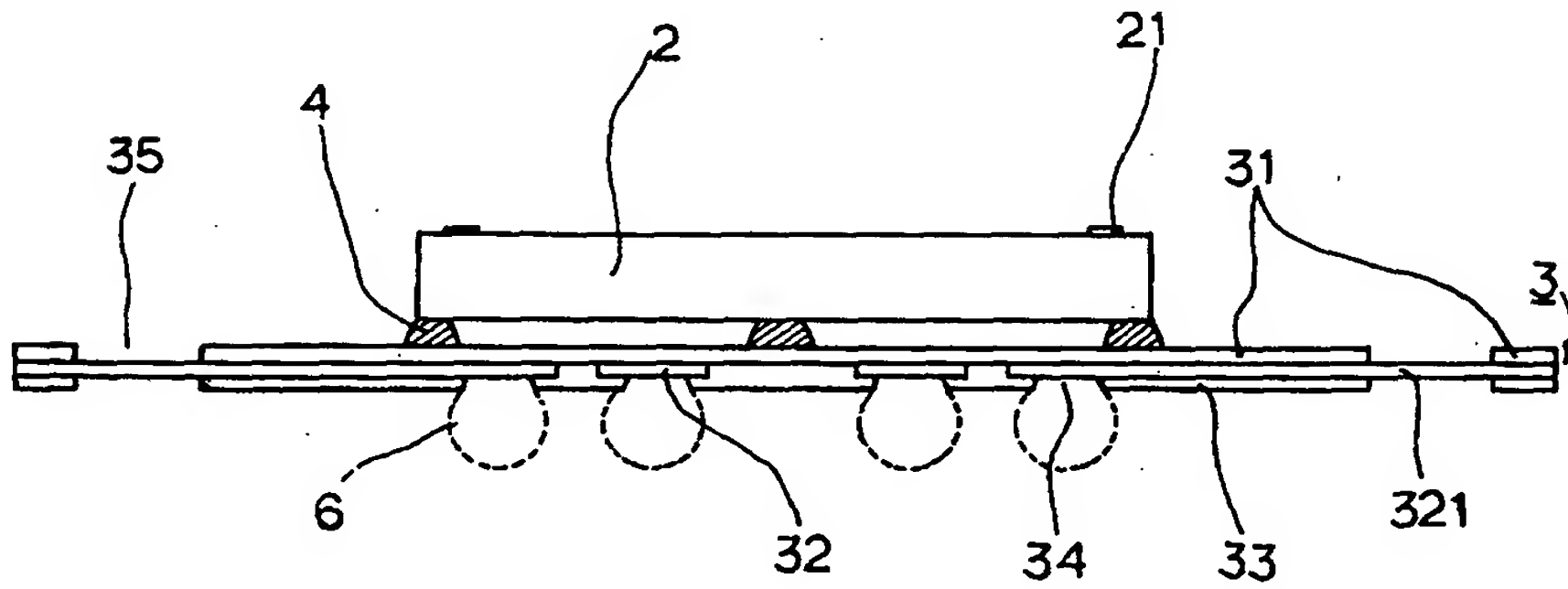
청구항 13. 제 7 항에 있어서, 수지 봉지부 형성 단계에서 형성되는 수지 봉지부가 절곡된 가요성 회로 기판을 에워

싸는 형태로 형성되는 칩 스케일 반도체 패키지의 제조 방법.

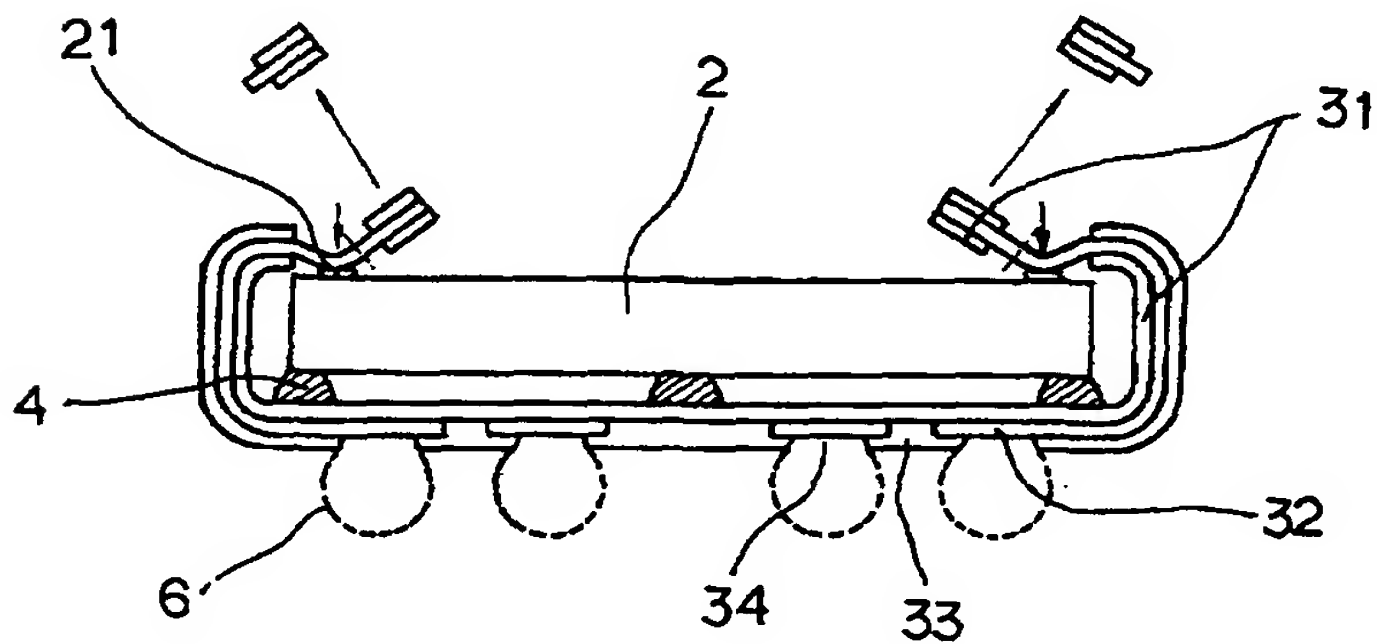
청구항 14. 제 7 항에 있어서, 반도체 칩 실장 단계에서 형성되는 에폭시 접착층이 에폭시 수지를 반도체 칩 저면에 복수개의 돛트 형상으로 도포시켜 형성되며, 솔더볼 패드 형성 영역으로 부터 벗어난 위치에 도포하여 열 방출효율을 높인 칩 스케일 반도체 패키지의 제조 방법.

도면

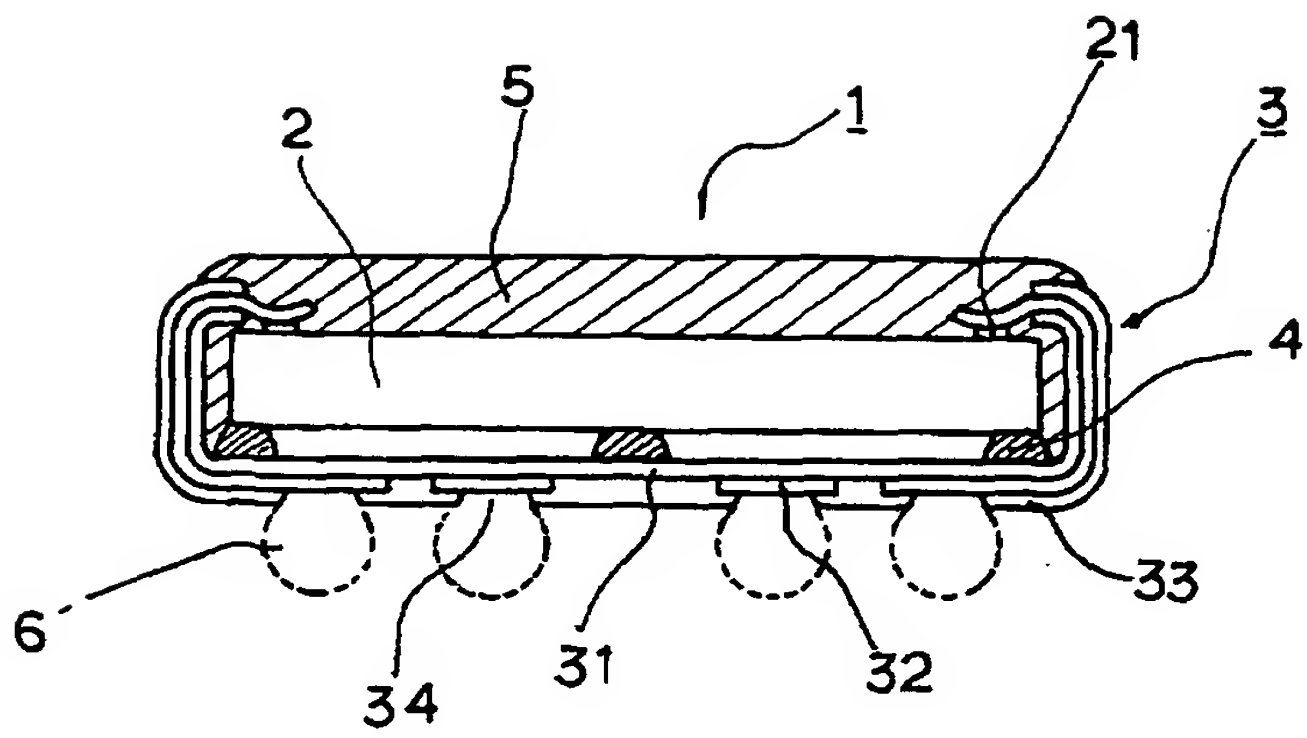
도면 1a



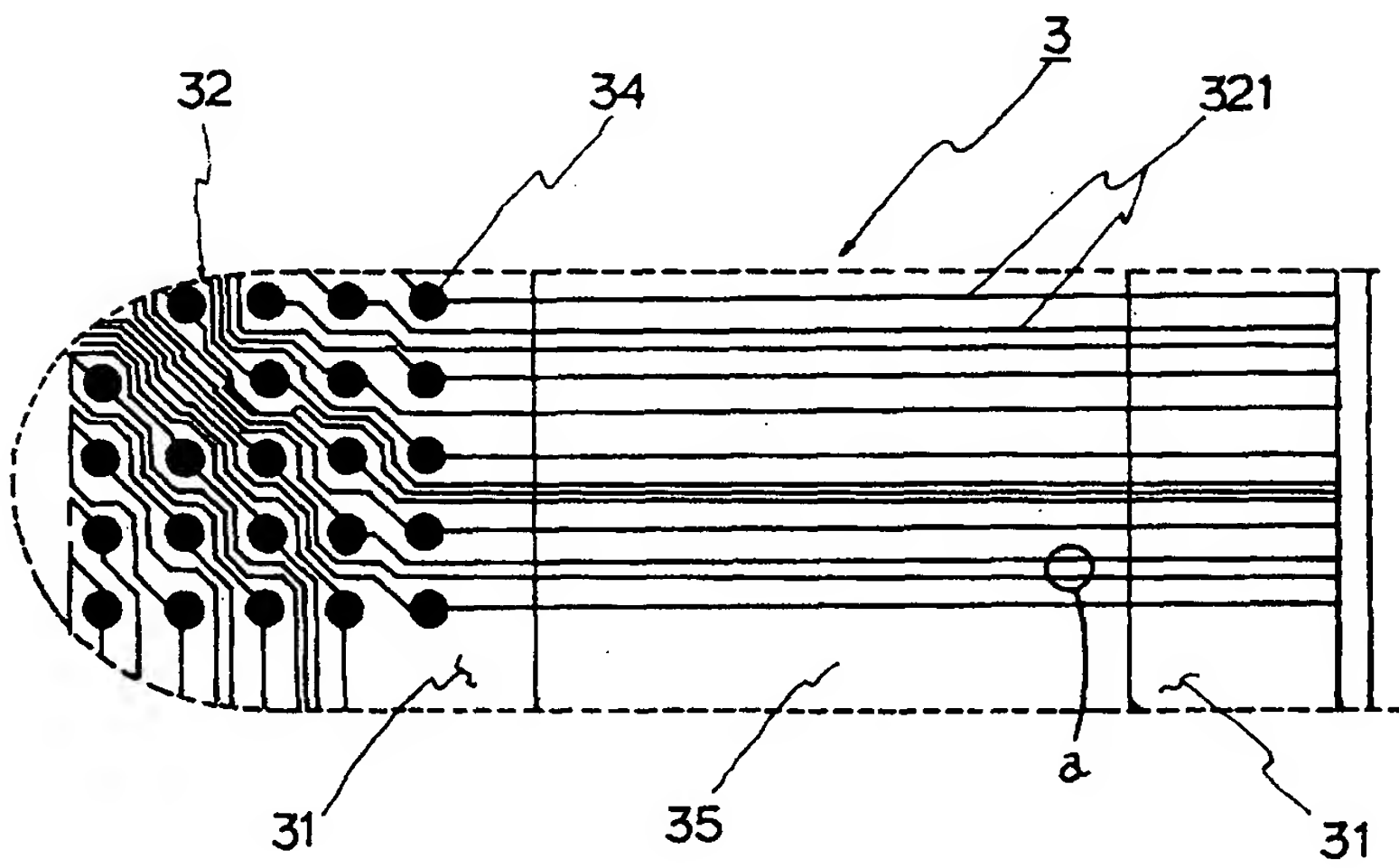
도면 1b



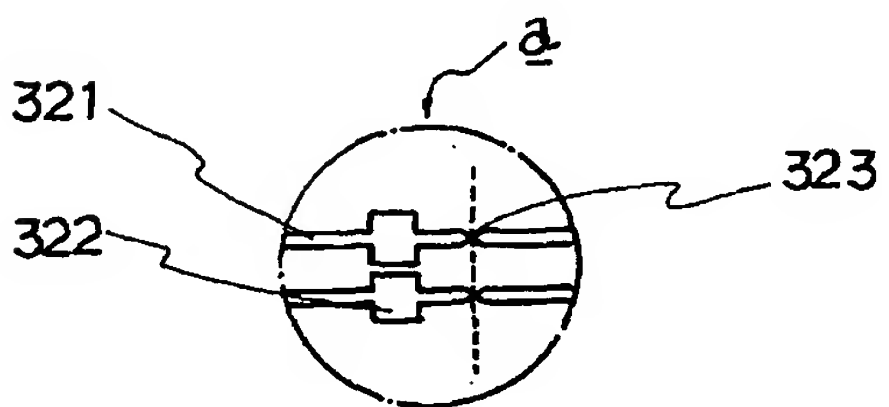
도면 1c



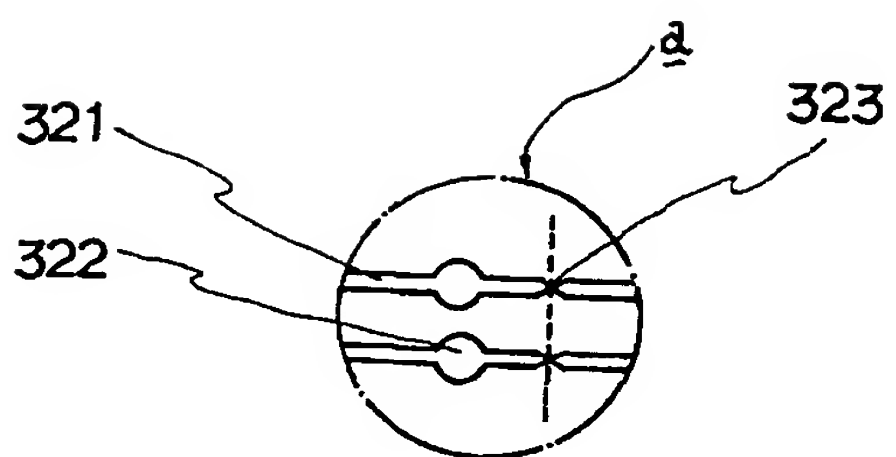
도면2a



도면2b



도면2c



도면3

